

日 本 国 特 許 庁

JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 9月30日

出 願 番 号

Application Number:

特願2002-285706

[ST.10/C]:

[JP2002-285706]

出 願 人

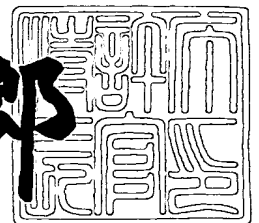
Applicant(s):

パイオニア株式会社

2003年 6月24日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3049499

【書類名】 特許願

【整理番号】 57P0065

【提出日】 平成14年 9月30日

【あて先】 特許庁長官殿

【国際特許分類】 G09G 3/30

【発明の名称】 表示パネル及び表示装置

【請求項の数】 8

【発明者】

    【住所又は居所】 埼玉県鶴ヶ島市富士見6丁目1番1号 パイオニア株式会社 総合研究所内

    【氏名】 石塚 真一

【特許出願人】

    【識別番号】 000005016

    【氏名又は名称】 パイオニア株式会社

【代理人】

    【識別番号】 100079119

    【弁理士】

    【氏名又は名称】 藤村 元彦

【手数料の表示】

    【予納台帳番号】 016469

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

    【包括委任状番号】 9006557

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 表示パネル及び表示装置

【特許請求の範囲】

【請求項 1】 各々が発光素子と駆動素子との直列回路からなり複数の群に分けられた複数の画素部を備えたアクティブ駆動型表示パネルであって、  
前記複数の画素部各々の直列回路の一端に共通接続された基準電位線と、  
前記複数の画素部に共通の第 1 電源線と、  
前記複数の群各々に対応して設けられた複数の第 2 電源線と、を有し、  
前記複数の画素部各々は、前記直列回路の他端と前記第 1 電源線との間の電氣的接続及び前記直列回路の他端と前記前記複数の画素部のうちの対応する群の前記第 2 電源線との間の電氣的接続を行うスイッチ手段を有することを特徴とする表示パネル。

【請求項 2】 前記スイッチ手段は、前記直列回路の他端と前記第 1 電源線とを電氣的に接続する第 1 スイッチ素子と、前記直列回路の他端と前記複数の画素部のうちの対応する群の前記第 2 電源線とを電氣的に接続する第 2 スイッチ素子とからなることを特徴とする請求項 1 記載の表示パネル。

【請求項 3】 前記表示パネルは、前記群に対応する列として配置された複数のデータ線と、行配置され前記複数のデータ線と互いに交差する複数の走査線とを有し、前記複数のデータ線と前記複数の走査線による複数の交差位置毎に前記画素部が配置され、

前記複数の画素部各々は、キャパシタと、

前記キャパシタがゲートとソースとの間に接続された前記駆動素子としての第 1 電界効果トランジスタと、

アノードが前記第 1 電界効果トランジスタのドレインに接続されかつカソードが前記基準電位線に接続された前記発光素子としての有機エレクトロルミネセンス素子と、

ゲートが前記複数の走査線のうちの対応する行の走査線に接続されソースが前記複数のデータ線のうちの対応する列のデータ線に接続されかつドレインが前記第 1 電界効果トランジスタのゲートに接続された第 2 電界効果トランジスタと、

ゲートが前記対応する行の走査線に接続されソースが前記複数の第 2 電源線のうちの対応する列の第 2 電源線に接続されかつドレインが前記第 1 電界効果トランジスタのソースに接続された前記第 2 スイッチ素子としての第 3 電界効果トランジスタと、

ゲートが前記第 3 電界効果トランジスタのゲートのレベルを反転したレベルとなりソースが前記第 1 電源線に接続されかつドレインが前記第 1 電界効果トランジスタのソースに接続された前記第 1 素子としての第 4 電界効果トランジスタと、を有することを特徴とする請求項 1 又は 2 記載の表示パネル。

【請求項 4】 列配置された複数のデータ線と、行配置され前記複数のデータ線と互いに交差する複数の走査線と、前記複数のデータ線と前記複数の走査線による複数の交差位置毎に発光素子と駆動素子との直列回路からなる画素部とを備えたアクティブ駆動型表示パネルと、

入力画像信号に応じて前記複数の走査線のうちから 1 の走査線を所定のタイミングで順次指定してその 1 の走査線に走査パルスを供給し、前記走査パルスが供給された走査期間内において前記複数のデータ線のうちから前記 1 の走査線上の発光させるべき発光素子に対応するデータ線に発光輝度を示すデータ信号を個別に供給する表示制御手段と、を備えた表示装置であって、

前記画素部各々は、前記データ信号を保持する保持手段と、

前記保持手段に保持された前記データ信号に応じて前記駆動素子を活性化させて前記データ信号に対応した量の駆動電流を前記発光素子に供給させる画素制御手段と、を備え、

前記表示制御手段は、前記走査期間内において前記駆動電流を検出する駆動電流検出手段と、

前記走査期間内において前記駆動電流検出手段によって検出された前記駆動電流が前記データ信号が示す発光輝度に対応した電流に等しくなるように前記保持手段に保持された前記データ信号を補正するデータ補正手段と、を備えたことを特徴とする表示装置。

【請求項 5】 前記表示パネルは、前記複数の画素部各々の直列回路の一端に共通接続された基準電位線と、

前記基準電位線との間で電源電圧が印加される第 1 電源線と、

前記複数のデータ線各々に対応して設けられ前記電流検出手段から前記電源電圧に等しい電圧が前記基準電位線との間で印加される複数の第 2 電源線と、を有し、

前記保持手段は、キャパシタからなり、

前記駆動素子は、前記キャパシタがゲートとソースとの間に接続された第 1 電界効果トランジスタからなり、

前記発光素子は、アノードが前記第 1 電界効果トランジスタのドレインに接続されかつカソードが前記基準電位線に接続された有機エレクトロルミネセンス素子からなり、

前記画素制御手段は、ゲートが前記複数の走査線のうちの対応する行の走査線に接続されソースが前記複数のデータ線のうちの対応する列のデータ線に接続されかつドレインが前記第 1 電界効果トランジスタのゲートに接続された第 2 電界効果トランジスタと、

ゲートが前記対応する行の走査線に接続されソースが前記複数の第 2 電源線のうちの対応する列の第 2 電源線に接続されかつドレインが前記第 1 電界効果トランジスタのソースに接続された第 3 電界効果トランジスタと、

ゲートが前記第 3 電界効果トランジスタのゲートのレベルを反転したレベルとなりソースが前記第 1 電源線に接続されかつドレインが前記第 1 電界効果トランジスタのソースに接続された第 4 電界効果トランジスタと、

を有し、

前記走査期間内において前記駆動電流が前記複数の第 2 電源線のうちの対応する列の第 2 電源線、前記第 3 電界効果トランジスタのソース・ドレイン間及び前記第 1 電界効果トランジスタのソース・ドレイン間を介して前記有機エレクトロルミネセンス素子に供給され、前記走査期間外において前記駆動電流が前記第 1 電源線、前記第 4 電界効果トランジスタのソース・ドレイン間及び前記第 1 電界効果トランジスタのソース・ドレイン間を介して前記有機エレクトロルミネセンス素子に供給されることを特徴とする請求項 4 記載の表示装置。

【請求項 6】 前記駆動電流検出手段は、前記画素部に印加される電源電圧

に等しい電圧で前記駆動電流を出力するソースフォロワ電源部と、前記ソースフォロワ電源部が出力する駆動電流の電流源となしかつ前記前記駆動電流に等しいミラー電流を検出駆動電流として出力する電流ミラー回路と、からなることを特徴とする請求項 4 記載の表示装置。

【請求項 7】 前記データ補正手段は、前記駆動電流検出手段によって検出された前記駆動電流と所定の電流との差電流を検出する差電流検出手段と、

前記差電流が減少するように補正電圧を出力する補正電圧発生手段と、

前記補正電圧を前記対応する列のデータ線を介して前記画素制御手段に供給する手段と、からなることを特徴とする請求項 4 記載の表示装置。

【請求項 8】 列配置された複数のデータ線と、行配置され前記複数のデータ線と互いに交差する複数の走査線と、前記複数のデータ線と前記複数の走査線による複数の交差位置毎に発光素子と駆動素子との直列回路からなる画素部とを備えたアクティブ駆動型表示パネルの駆動方法であって、

入力画像信号に応じて前記複数の走査線のうちから 1 の走査線を所定のタイミングで順次指定してその 1 の走査線に走査パルスを供給し、前記走査パルスが供給された走査期間内において前記複数のデータ線のうちから前記 1 の走査線上の発光させるべき発光素子に対応するデータ線に発光輝度を示すデータ信号を個別に供給し、

前記画素部各々において前記データ信号を保持し、

その保持した前記データ信号に応じて前記駆動素子を活性化させて前記データ信号に対応した量の駆動電流を前記発光素子に供給させ、

前記走査期間内において前記駆動電流を検出し、

前記走査期間内において検出した前記駆動電流が前記データ信号が示す発光輝度に対応した電流に等しくなるように前記保持した前記データ信号を補正することを特徴とする駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、有機エレクトロルミネセンス素子等の発光素子を用いたアクティブ

駆動型の表示パネル、その表示パネルを用いた表示装置及びその表示パネルの駆動方法に関する。

#### 【0002】

##### 【従来の技術】

現在、画素を担う発光素子として有機エレクトロルミネセンス素子（以下、単にEL素子と称する）を用いた表示パネルを搭載したエレクトロルミネセンス表示装置（以下、EL表示装置と称する）が着目されている。このEL表示装置による表示パネルの駆動方式として、単純マトリクス駆動型と、アクティブマトリクス駆動型が知られている。アクティブマトリクス駆動型のEL表示装置は、単純マトリクス型のものに比べて、低消費電力であり、また画素間のクロストークが少ないなどの利点を有し、特に大画面表示装置や高精細度表示装置用として適している。

#### 【0003】

EL表示装置は、図1に示すように、表示パネル1と、表示パネル1を画像信号に応じて駆動する駆動装置2とから構成される。

表示パネル1には、陽極電源線3、陰極電源線4、1画面の垂直（縦）方向に伸張して平行に配列されたm個のデータ線（データ電極） $A_1 \sim A_m$ 、データ線 $A_1 \sim A_m$ と直交して1画面のn個の水平走査線（走査電極） $B_1 \sim B_n$ が各々形成されている。陽極電源線3には駆動電圧 $V_c$ が印加されており、陰極電源線4には接地電位GNDが印加されている。更に、表示パネル1におけるデータ線 $A_1 \sim A_m$ 及び走査線 $B_1 \sim B_n$ の各交差部に、1つの画素を担う画素部 $E_{1,1} \sim E_{m,n}$ が形成されている。

#### 【0004】

画素部 $E_{1,1} \sim E_{m,n}$ 各々は同一の構成であり、図2に示すように構成されている。すなわち、走査線選択用のFET（Field Effect Transistor）11のゲートGには走査線Bが接続され、そのドレインDにはデータ線Aが接続されている。FET11のソースSには発光駆動用トランジスタとしてのFET12のゲートGが接続されている。FET12のソースSには陽極電源線3を介して駆動電圧 $V_c$ が印加されており、そのゲートG及びソースS

間にはキャパシタ 1 3 が接続されている。更に、F E T 1 2 のドレイン D には E L 素子 1 5 のアノード端が接続されている。E L 素子 1 5 のカソード端には、陰極電源線 4 を介して接地電位 G N D が印加されている。

#### 【 0 0 0 5 】

駆動装置 2 は、表示パネル 1 の走査線  $B_1 \sim B_n$  各々に順次、択一的に走査パルス印加して行く。更に、駆動装置 2 は、走査パルスの印加タイミングに同期させて、各水平走査線に対応した入力画像信号に応じた画素データパルス  $D P_1 \sim D P_m$  を発生し、これらをデータ線  $A_1 \sim A_m$  に夫々印加する。画素データパルス D P の各々は、入力画像信号によって示される輝度レベルに応じたパルス電圧を有する。走査パルスの印加された走査線 B 上に接続されている画素部の各々が画素データの書込対象となる。画素データの書込対象となった画素部 E 内の F E T 1 1 は、走査パルスに応じてオン状態となり、データ線 A を介して供給された画素データパルス D P を F E T 1 2 のゲート G 及びキャパシタ 1 3 に夫々印加する。F E T 1 2 は、かかる画素データパルス D P のパルス電圧に応じた発光駆動電流を発生し、これを E L 素子 1 5 に供給する。この発光駆動電流に応じて E L 素子 1 5 は、画素データパルス D P のパルス電圧に応じた輝度で発光する。この間、キャパシタ 1 3 は、画素データパルス D P のパルス電圧によって充電される。かかる充電動作により、キャパシタ 1 3 には、入力画像信号によって示される輝度レベルに応じた電圧が保持され、いわゆる画素データの書き込みが為される。ここで、画素データの書込対象から開放されると、F E T 1 1 はオフ状態となり、F E T 1 2 のゲート G に対する画素データパルス D P の供給を停止する。ところが、この間においても、上述した如くキャパシタ 1 3 に保持された電圧が F E T 1 2 のゲート G に印加され続けているので、F E T 1 2 は、発光駆動電流を E L 素子 1 5 に流し続ける。

#### 【 0 0 0 6 】

各画素部  $E_1, 1 \sim E_m, n$  の E L 素子 1 5 の発光輝度は、画素データパルス D P のパルス電圧によって上記したようにキャパシタ 1 3 に保持される電圧によって定まる。すなわち、キャパシタ 1 3 の保持電圧は F E T 1 2 のゲート電圧となるので、F E T 1 2 はゲート・ソース間電圧  $V_{gs}$  に応じた駆動電流（ドレイン電



流  $I_d$ ) を EL 素子 15 に流すことになる。FET 12 のゲート・ソース間電圧  $V_{gs}$  とドレイン電流  $I_d$  との関係は例えば、図 3 に示す通りである。キャパシタ 13 の保持電圧のレベルに応じたレベルの駆動電流が EL 素子 15 を流れることはキャパシタ 13 の保持電圧のレベルに応じた発光輝度となる。よって、EL 表示装置における階調表示が可能となっている。

【0007】

【発明が解決しようとする課題】

FET 12 の如き駆動トランジスタでは、温度変化やトランジスタ自体のばらつきによってゲート・ソース間電圧  $V_{gs}$  とドレイン電流  $I_d$  との関係特性は変化する。例えば、図 4 に示すように標準特性（破線）に対して特性が変動した場合（実線の特性）には、同一のゲート・ソース間電圧  $V_{gs}$  に対するドレイン電流  $I_d$  が各々異なるので、所望の輝度で EL 素子を発光させることができなくなる。

【0008】

階調表示のために要求される輝度変化範囲に対するゲート・ソース間電圧  $V_{gs}$  の電圧変化範囲は予め定められる。ゲート・ソース間電圧  $V_{gs}$  とドレイン電流  $I_d$  との関係特性が標準であるならば、ゲート・ソース間電圧  $V_{gs}$  の電圧変化範囲に対するドレイン電流  $I_d$  の電流変化範囲は図 5 (a) に示すようになる。図 5 (a) のドレイン電流  $I_d$  の電流変化範囲が階調表示のために要求される輝度変化範囲に対応した範囲である。一方、その関係特性が変動している場合には、予め定められたゲート・ソース間電圧  $V_{gs}$  の電圧変化範囲に対してドレイン電流  $I_d$  の電流変化範囲は図 5 (b) 及び図 5 (c) に示すように、図 5 (a) に示した階調表示のために要求される輝度変化範囲とは異なる。よって、駆動トランジスタの温度変化やトランジスタ自体のばらつきによって入力制御電圧に対する駆動電流特性が変化すると、正しい階調表示が不可能となる。

【0009】

そこで、本発明の目的は、長時間使用時においても正しい階調表示を行うことができる有機エレクトロルミネセンス素子等の発光素子を配置したアクティブ駆動型の表示パネル、その表示パネルを用いた表示装置及びその表示パネルの駆動

方法を提供することである。

【 0 0 1 0 】

【課題を解決するための手段】

本発明の表示パネルは、各々が発光素子と駆動素子との直列回路からなり複数の群に分けられた複数の画素部を備えたアクティブ駆動型表示パネルであって、複数の画素部各々の直列回路の一端に共通接続された基準電位線と、複数の画素部に共通の第 1 電源線と、複数の群各々に対応して設けられた複数の第 2 電源線と、を有し、複数の画素部各々は、直列回路の他端と第 1 電源線との間の電氣的接続及び直列回路の他端と複数の画素部のうちの対応する群の第 2 電源線との間の電氣的接続を行うスイッチ手段を有することを特徴としている。

【 0 0 1 1 】

本発明の表示装置は、列配置された複数のデータ線と、行配置され複数のデータ線と互いに交差する複数の走査線と、複数のデータ線と複数の走査線による複数の交差位置毎に発光素子と駆動素子との直列回路からなる画素部とを備えたアクティブ駆動型表示パネルと、入力画像信号に応じて複数の走査線のうちから 1 の走査線を所定のタイミングで順次指定してその 1 の走査線に走査パルスを供給し、走査パルスが供給された走査期間内において複数のデータ線のうちから 1 の走査線上の発光させるべき発光素子に対応するデータ線に発光輝度を示すデータ信号を個別に供給する表示制御手段と、を備えた表示装置であって、画素部各々は、データ信号を保持する保持手段と、保持手段に保持されたデータ信号に応じて駆動素子を活性化させてデータ信号に対応した量の駆動電流を発光素子に供給させる画素制御手段と、を備え、表示制御手段は、走査期間内において駆動電流を検出する駆動電流検出手段と、走査期間内において駆動電流検出手段によって検出された駆動電流がデータ信号が示す発光輝度に対応した電流に等しくなるように保持手段に保持されたデータ信号を補正するデータ補正手段と、を備えたことを特徴としている。

【 0 0 1 2 】

本発明の表示パネルの駆動方法は、列配置された複数のデータ線と、行配置され複数のデータ線と互いに交差する複数の走査線と、複数のデータ線と複数の走

査線による複数の交差位置毎に発光素子と駆動素子との直列回路からなる画素部とを備えたアクティブ駆動型表示パネルの駆動方法であって、入力画像信号に応じて複数の走査線のうちから1の走査線を所定のタイミングで順次指定してその1の走査線に走査パルスを供給し、走査パルスが供給された走査期間内において複数のデータ線のうちから1の走査線上の発光させるべき発光素子に対応するデータ線に発光輝度を示すデータ信号を個別に供給し、画素部各々においてデータ信号を保持し、その保持したデータ信号に応じて駆動素子を活性化させてデータ信号に対応した量の駆動電流を発光素子に供給させ、走査期間内において駆動電流を検出し、走査期間内において検出した駆動電流がデータ信号が示す発光輝度に対応した電流に等しくなるように保持したデータ信号を補正することを特徴としている。

【0013】

【発明の実施の形態】

以下、本発明の実施例を図面を参照しつつ詳細に説明する。

図6は本発明を適用したEL表示装置を示している。この表示装置は、表示パネル21と、コントローラ22と、電源回路23と、データ信号供給回路24と、走査パルス供給回路25とを備えている。

【0014】

表示パネル21は各々が平行に配置された複数のデータ線 $X_1 \sim X_m$  ( $m$ は2以上の整数)と、複数の走査線 $Y_1 \sim Y_n$  ( $n$ は2以上の整数)と、複数の電源線(第1電源線) $Z_1 \sim Z_n$ とを備えている。表示パネル21は、更に、複数の走査線 $U_1 \sim U_n$ と複数の電源線(第2電源線) $W_1 \sim W_m$ とを備えている。

複数のデータ線 $X_1 \sim X_m$ と複数の電源線 $W_1 \sim W_m$ とは図6に示すように平行に配列されている。同様に、複数の走査線 $Y_1 \sim Y_n$ ,  $U_1 \sim U_n$ と複数の電源線 $Z_1 \sim Z_n$ とは図6に示すように平行に配列されている。複数のデータ線 $X_1 \sim X_m$ 及び複数の電源線 $W_1 \sim W_m$ は複数の走査線 $Y_1 \sim Y_n$ ,  $U_1 \sim U_n$ 及び複数の電源線 $Z_1 \sim Z_n$ の各々と互いに交差している。その交差位置各々に画素部 $PL_{1,1} \sim PL_{m,n}$ が配置され、マトリックス表示パネルが形成されている。電源線 $Z_1 \sim Z_n$ は互いに接続されて1つの陽極電源線 $Z$ となっている。電源

線 Z には電源回路 2 3 から電源電圧である駆動電圧 V A が供給される。表示パネル 2 1 には陽極電源線 Z 1 ~ Z n, Z の他に図示しないが、陰極電源線、すなわちアース線が設けられている。

## 【 0 0 1 5 】

複数の画素部 P L<sub>1, 1</sub> ~ P L<sub>m, n</sub> 各々は同一の構成を有し、図 7 に示すように、4 つの F E T 3 1 ~ 3 4 と、キャパシタ 3 5 と、有機 E L 素子 3 6 とを備えている。図 7 に示した画素部ではそこに関係するデータ線を X i、電源線を W i、走査線を Y j, U j、電源線を Z j としている。F E T 3 1 のゲートは走査線 Y j に接続され、そのソースはデータ線 X i に接続されている。F E T 3 1 のドレインにはキャパシタ 3 5 の一端と F E T 3 2 のゲートとが接続されている。キャパシタ 3 5 の他端と F E T 3 2 のソースとは F E T 3 3, 3 4 各々のドレインに接続されている。F E T 3 2 のドレインは E L 素子 3 6 のアノードに接続されている。E L 素子 3 6 のカソードはアース接続されている。

## 【 0 0 1 6 】

F E T 3 3 のゲートは上記の F E T 3 1 のゲート共に走査線 Y j に接続され、F E T 3 3 のソースは電源線 W i に接続されている。F E T 3 3 のドレインは上記のように F E T 3 2 のソース、F E T 3 4 のドレイン及びキャパシタ 3 5 の他端に接続されている。

F E T 3 4 のゲートは走査線 U j に接続され、ソースは電源線 Z j に接続されている。

## 【 0 0 1 7 】

表示パネル 2 1 は走査線 Y 1 ~ Y n, U 1 ~ U n を介して走査パルス供給回路 2 5 に接続され、またデータ線 X 1 ~ X m 及び電源線 W 1 ~ W m を介してデータ信号供給回路 2 4 に接続されている。コントローラ 2 2 は入力される画像信号に応じて表示パネル 2 1 を階調駆動制御するために走査制御信号及びデータ制御信号を生成する。走査制御信号は走査パルス供給回路 2 5 に供給され、データ制御信号はデータ信号供給回路 2 4 に供給される。

## 【 0 0 1 8 】

走査パルス供給回路 2 5 は、走査線 Y 1 ~ Y n, U 1 ~ U n に接続されており

、走査制御信号に応じて走査パルス在所定のタイミングで走査線  $Y_1 \sim Y_n$  に所定の順番で供給し、走査線  $U_1 \sim U_n$  にはその走査パルスの反転パルスを供給する。1つの走査パルスが発生している期間が1走査期間である。

データ信号供給回路24は、データ線  $X_1 \sim X_m$  及び電源線  $W_1 \sim W_m$  に接続されており、データ制御信号に応じて走査パルスが供給される走査線上に位置する画素部各々に対する画素データパルスを生成する。その画素データパルスは発光輝度を示すデータ信号であり、データ信号供給回路24内の  $m$  個のバッファメモリ  $40_1 \sim 40_m$  に保持される。データ信号供給回路24は、そのバッファメモリ  $40_1 \sim 40_m$  各々から対応するデータ線  $X_1 \sim X_m$  を介して発光駆動されるべき画素部に対して画素データパルスを供給する。非発光の画素部に対してはEL素子を発光させることがないレベルの画素データパルスを供給する。

#### 【0019】

データ信号供給回路24には  $m$  個の輝度補正回路  $41_1 \sim 41_m$  が備えられ、データ線  $X_1 \sim X_m$  及び電源線  $W_1 \sim W_m$  に対応している。

輝度補正回路  $41_1 \sim 41_m$  各々は同一の構成であり、図8に示すように電流ミラー回路45、電流源46、差動増幅回路47及びソースフォロワ電源部48からなる。図8では図7に示したデータ線  $X_i$ 、電源線  $W_i$ 、走査線  $Y_j$ 、 $U_j$ 、電源線  $Z_j$  が用いられている。電流ミラー回路45は2つのFET51, 52からなり、電流入力側のFET52に流れる電流量と同量の電流が出力側のFET51を流れる。電流ミラー回路45の電流出力端には電流源46と差動増幅回路47が接続されている。FET51, 52各々のソースには電源電圧  $V_A$  より高い電圧  $V_B$  が印加される。

#### 【0020】

電流源46は所定値の電流を出力する。所定値は有機EL素子36の発光輝度に応じて定められる。すなわち、一定した輝度で発光させる場合には、所定値は一定値であるが、データ信号レベルに応じて発光輝度を変化させる場合には、所定値は各発光輝度に応じた値となり、コントローラ22によって制御される。

差動増幅回路47はオペアンプ61及び抵抗62, 63からなる。差動増幅回路47の非反転入力端子が電流ミラー回路45の電流出力端及び電流源46に接

続されている。抵抗 6 2 は差動増幅回路 4 7 の非反転入力端子とアースとの間に接続され、抵抗 6 3 は差動増幅回路 4 7 の非反転入力端子と出力端子との間に接続されている。差動増幅回路 4 7 の反転入力端子はアース接続されている。差動増幅回路 4 7 の出力端子はデータ線  $X_i$  に接続されている。ソースフォロワ電源部 4 8 はオペアンプ 6 5 及び 2 つの FET 6 6, 6 7 からなる。FET 6 6, 6 7 はインバータを構成し、FET 6 6 は P チャンネルの FET であり、FET 6 7 は N チャンネルの FET である。FET 6 6 のソースは上記の電流ミラー回路 4 5 の電流入力端に接続されている。共通接続された FET 6 6, 6 7 の各ゲートはオペアンプ 6 5 の出力端子に接続されている。FET 6 6 のドレインと FET 6 7 のソースとの接続ラインはオペアンプ 6 5 の反転入力端子と電源線  $W_i$  に接続されている。FET 6 7 のドレインはアース接続されている。オペアンプ 6 5 の非反転入力端子には電源回路 2 3 から電源電圧  $V_A$  が供給される。

#### 【0021】

次に、図 7 及び図 8 の回路の動作について図 9 及び図 10 を参照して説明する。ここでは、表示パネル 2 1 の特に  $j$  ライン（走査線  $Y_j$ ）を走査して EL 素子 3 6 を発光させるときの動作を説明する。

コントローラ 2 2 は図 9 に示すように、画像信号に応じて  $j$  ラインのための走査制御信号を走査パルス供給回路 2 5 に供給し（ステップ S 1）、 $j$  ラインのデータ制御信号をデータ信号供給回路 2 4 に供給する（ステップ S 2）。これによって走査パルス供給回路 2 5 からは走査線  $Y_j$  に走査パルスが供給され、その走査パルスの反転パルスが走査線  $U_j$  に供給される。データ信号供給回路 2 4 において画素データパルスが上記のバッファメモリ（ $40_1 \sim 40_m$  のうちの  $40_i$ ：図示せず）に保持されてそれが電流源 4 6 に供給される。走査パルスは図 10 に示すように、1 走査期間に亘って高レベルとなるパルスである。反転パルスは 1 走査期間において低レベルとなる。画素データパルスは EL 素子 3 6 に流す駆動電流に対応したパルス電圧を有する。

#### 【0022】

一方、走査パルスは FET 3 1, 3 3 各々のゲートに供給されるので、FET 3 1, 3 3 はオンとなる。反転パルスは FET 3 4 のゲートに供給されるので、

F E T 3 4 はオフとなる。

F E T 3 3 のオンによって電源線 W i の電圧 V A が F E T 3 3 のソース・ドレイン間を介して F E T 3 2 のソースに供給される状態となる。

#### 【 0 0 2 3 】

F E T 3 1 のオンによって画素データパルスはデータ線 X i 及び F E T 3 1 のソース・ドレイン間を介して F E T 3 2 のゲート及びキャパシタ 3 5 に印加される。F E T 3 2 がオンされることによって電源線 W i の電圧 V A による駆動電流が F E T 3 2 のソース・ドレイン間を介して E L 素子 3 6 に流れる。これによって E L 素子 3 6 は発光する。また、キャパシタ 3 5 は充電され、画素データパルスの電圧に応じた充電電圧になる。

#### 【 0 0 2 4 】

このとき E L 素子 3 6 に流れる駆動電流は電流ミラー回路 4 5 の F E T 5 2 からソースフォロワ電源部 4 8 の F E T 6 6、電源線 W i、F E T 3 3 及び F E T 3 2 を介して流れる。電流ミラー回路 4 5 の F E T 5 1 は F E T 5 2 の出力電流である駆動電流に等しいミラー電流を出力する。ミラー電流は電流源 4 6 に流れ込むが、所定値より大の電流であるならば、所定値を越える分の電流は差動増幅回路 4 7 に流れ込む。所定値より小の電流であるならば、その足りない電流分は差動増幅回路 4 7 から電流源 4 6 に流れ込む。差動増幅回路 4 7 の出力電圧はデータ線 X i に印加されるので、駆動電流が所定値に等しくなるように画素データパルスの電圧レベルが補正される。

#### 【 0 0 2 5 】

ここで、駆動電流を  $I_d$ 、電流源 4 6 の所定値の電流を  $I_r$  とすると、 $I_d > I_r$  であれば、電流  $I_d - I_r$  が電流ミラー回路 4 5 の F E T 5 1 から差動増幅回路 4 7 に流れ込み、差動増幅回路 4 7 の出力電圧、すなわちデータ線 X i の電圧は高くなる。このデータ線 X i の電圧は F E T 3 1 を介して F E T 3 2 のゲート及びキャパシタ 3 5 の一端に印加される。F E T 3 2 のソース電圧は V A で一定であるので、F E T 3 2 のゲート・ソース間電圧であるキャパシタ 3 5 の端子間電圧が低下する。よって、駆動電流  $I_d$  が減少して所定値の電流  $I_r$  に等しくなり、E L 素子 3 6 は所定の輝度で発光する。一方、 $I_d < I_r$  であれば、電流

$I_r - I_d$  が差動増幅回路 4 7 から電流源 4 6 に流れ込み、差動増幅回路 4 7 の出力電圧、すなわちデータ線  $X_i$  の電圧は低くなる。このデータ線  $X_i$  の電圧は FET 3 1 を介して FET 3 2 のゲート及びキャパシタ 3 5 の一端に印加される。FET 3 2 のソース電圧は  $V_A$  で一定であるので、FET 3 2 のゲート・ソース間電圧であるキャパシタ 3 5 の端子間電圧が上昇する。よって、駆動電流  $I_d$  が増加して所定値の電流  $I_r$  に等しくなり、EL 素子 3 6 は所定の輝度で発光する。

## 【 0 0 2 6 】

j ラインの走査期間が終了すると、j ラインは発光維持期間となる。発光維持期間になると、走査パルス供給回路 2 5 は走査線  $Y_j$  に供給されていた走査パルスを消滅させるので、FET 3 1, 3 3 がオフとなる。走査パルスの消滅と同時に反転パルスが消滅し、走査線  $U_j$  のレベルは高レベルとなるので、FET 3 4 はオンとなる。データ信号供給回路 2 4 はデータ線  $X_i$  に供給されていた画素データパルスの保持をリセットする。

## 【 0 0 2 7 】

キャパシタ 3 5 はその充電電圧である端子間電圧を維持するので、FET 3 2 は所定値の電流  $I_r$  に等しい駆動電流  $I_d$  を EL 素子 3 6 に供給し続けて EL 素子 3 6 を発光させる。この発光維持期間においては電源線  $Z_j$  から FET 3 4 のソース・ドレイン間及び FET 3 2 のソース・ドレイン間を介して EL 素子 3 6 に駆動電流  $I_d$  は流れる。キャパシタ 3 5 の端子間電圧が走査期間に補正された場合にはその補正後の電圧で発光維持期間においてもキャパシタ 3 5 の端子間電圧は維持されるので、EL 素子 3 6 の発光輝度も走査期間終了直前の所定の輝度のまま維持される。j ライン上の画素部各々は次の走査期間の開始までは発光維持期間となる。

## 【 0 0 2 8 】

コントローラ 2 2 は j ラインの走査期間が終了すると（ステップ S 3）、次の j + 1 ラインの走査期間の動作に移行する（ステップ S 4）。n ライン分の走査期間が終了すると、1 ラインの走査期間の動作に移行する。各走査期間における動作は上記したステップ S 1 ~ S 3 に示した動作と同一であり、走査期間毎に上



記したステップ S 1 ～ S 3 が実行される。

【 0 0 2 9 】

従って、上記した実施例によれば、製造上のバラツキ、環境温度の変化又は累積発光時間等により E L 素子の内部抵抗値が変動してしまっても、表示パネル 2 1 の画面全体の輝度レベルを常に所望の輝度範囲内に維持させることができるのである。

なお、上記した実施例においては、発光素子として有機 E L 素子を用いた表示装置を示したが、発光素子としてはこれに限らず、他の発光素子を用いた表示装置に本発明を適用しても良い。

【 0 0 3 0 】

また、上記した実施例においては、画素部の F E T 3 1 , 3 3 のゲートには走査線 Y j を介して走査パルスが供給され、 F E T 3 4 のゲートには走査線 U j を介して反転パルスが供給されるが、 F E T 3 1 , 3 3 , 3 4 各々に独立した走査線を介して各パルスを供給しても良い。また、走査線 U j を設けず、画素部内で走査パルスをインバータによって反転させて反転パルスを生成し、それを F E T 3 4 のゲートに供給しても良い。

【 0 0 3 1 】

以上の如く、画素部各々が、データ信号を保持する保持手段と、保持手段に保持されたデータ信号に応じて駆動素子を活性化させてデータ信号に対応した量の駆動電流を発光素子に供給させる画素制御手段とを有し、表示制御手段が、走査期間内において駆動電流を検出する駆動電流検出手段と、走査期間内において駆動電流検出手段によって検出された駆動電流がデータ信号が示す発光輝度に対応した電流に等しくなるように保持手段に保持されたデータ信号を補正するデータ補正手段とを有しているので、長時間使用時においても正確に階調表示を行うことができる。

【図面の簡単な説明】

【図 1】

従来の E L 表示装置の構成を示すブロック図である。

【図 2】

図 1 の画素部の構成を示す回路図である。

【図 3】

画素部の F E T のゲート・ソース間電圧ードレイン電流特性を示す図である。

【図 4】

ゲート・ソース間電圧ードレイン電流特性の変動を示す図である。

【図 5】

ゲート・ソース間電圧の変化範囲に対するドレイン電流の変化範囲を示す図である。

【図 6】

本発明を適用した表示装置の構成を示すブロック図である。

【図 7】

図 6 の装置中の画素部の構成を示す回路図である。

【図 8】

図 6 の装置中の輝度補正回路を示す図である。

【図 9】

コントローラの各走査期間の動作を示すフローチャートである。

【図 1 0】

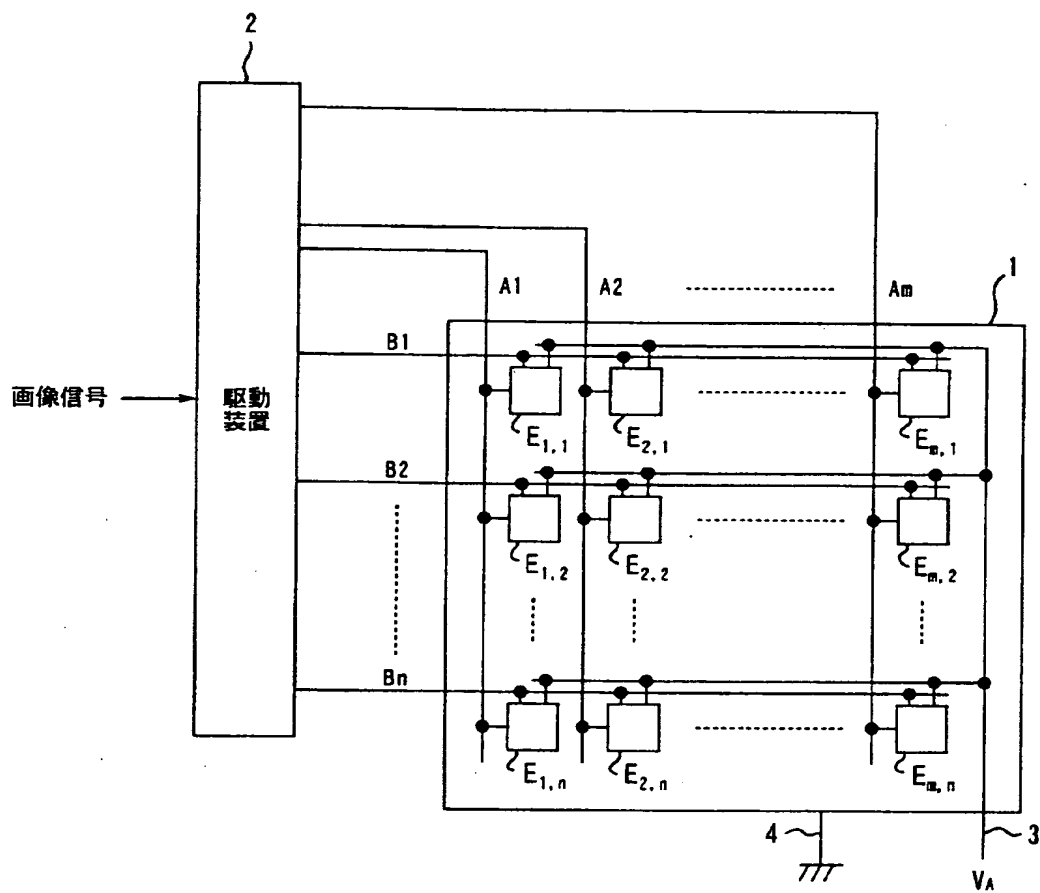
走査パルス及び反転パルスを示す図である。

【符号の説明】

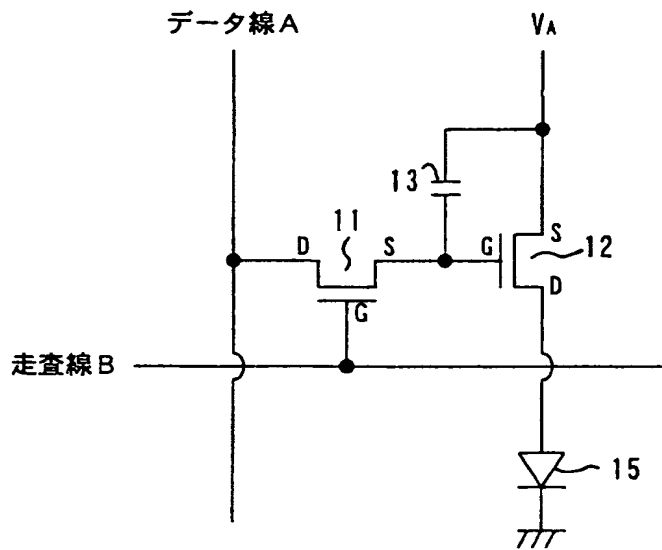
- 1, 2 1 表示パネル
- 2 2 コントローラ
- 2 4 データ信号供給回路
- 2 5 走査パルス供給回路
- 4 5 電流ミラー回路
- 4 6 電流源
- 4 7 差動増幅回路
- 4 8 ソースフォロワ電源部

【書類名】 図面

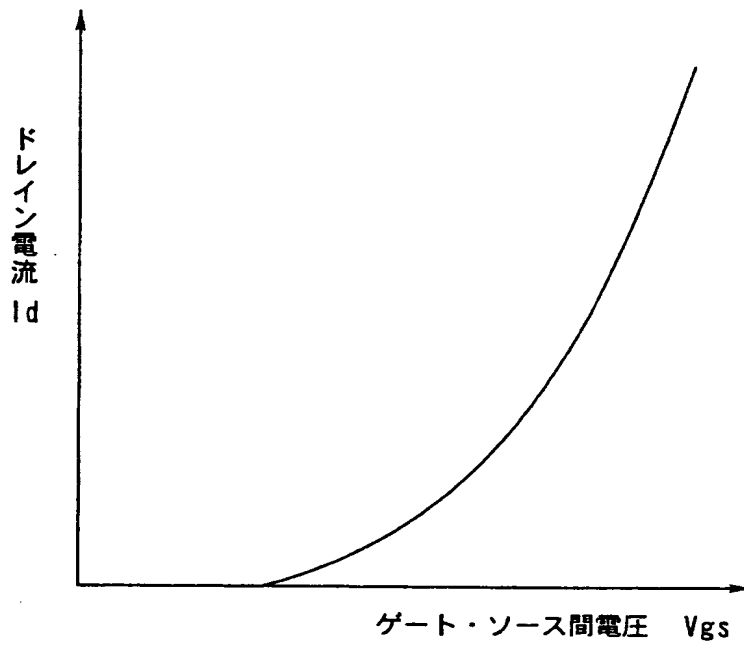
【図 1】



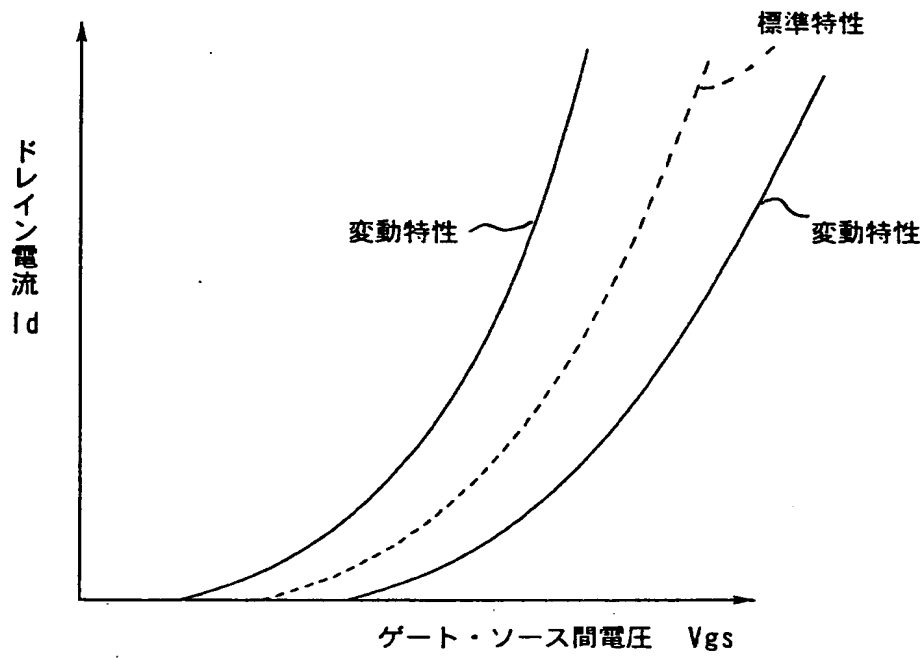
【図 2】



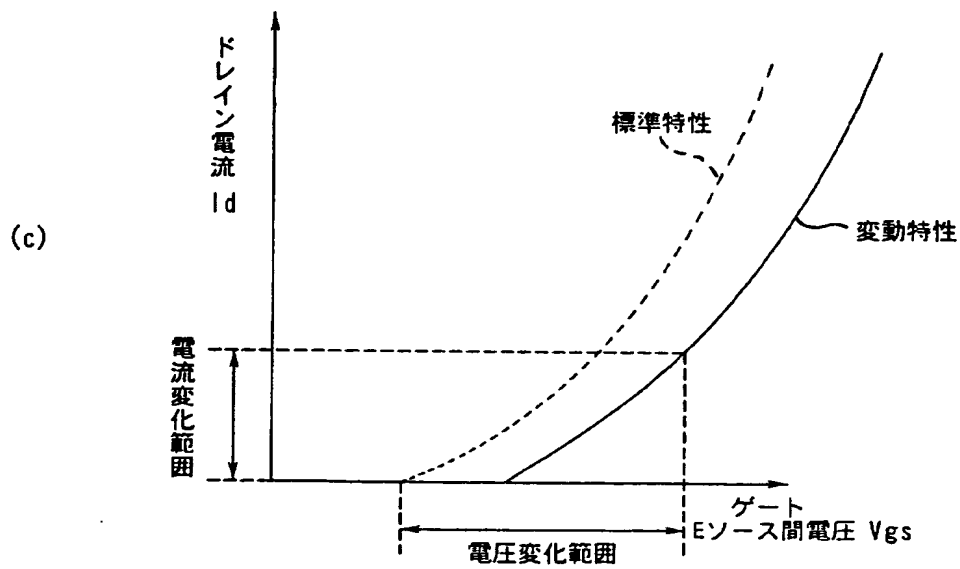
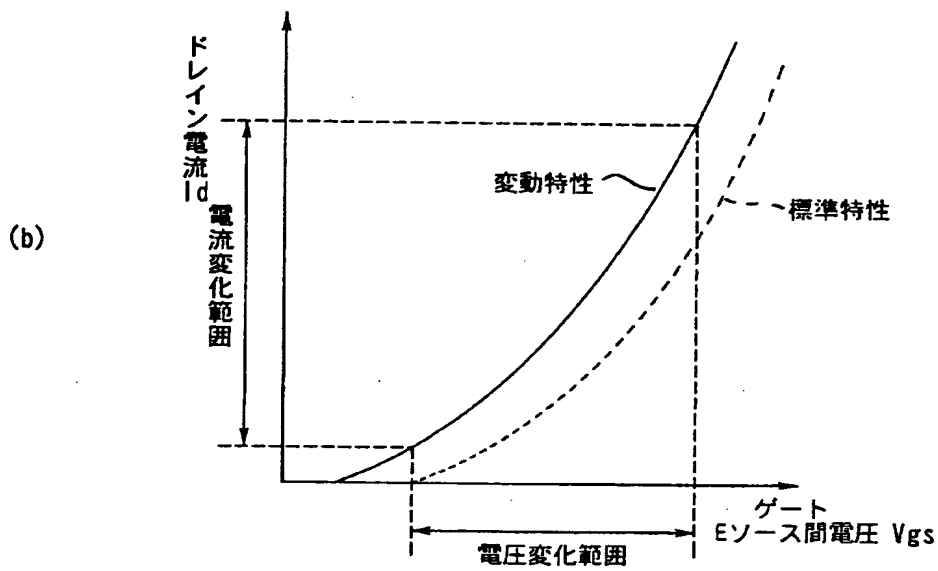
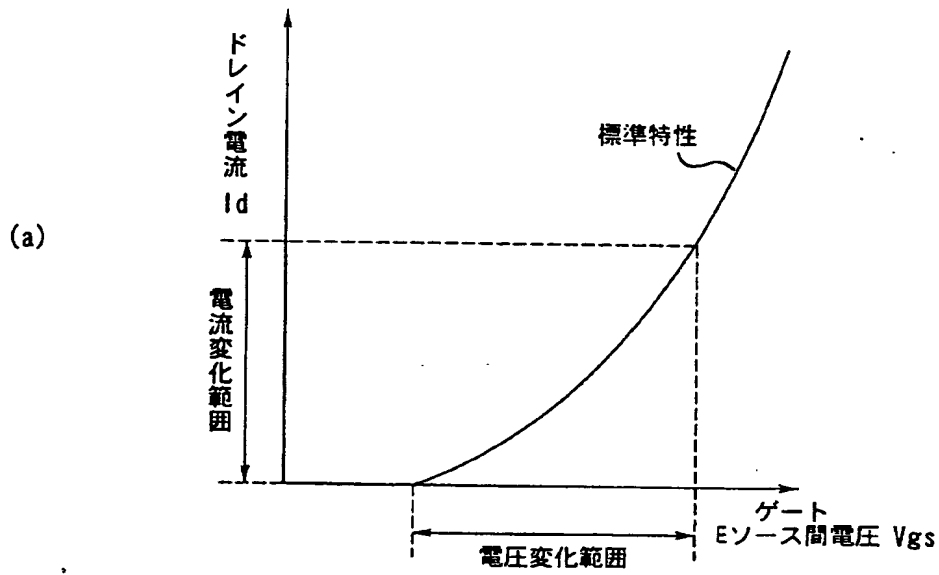
【図 3】



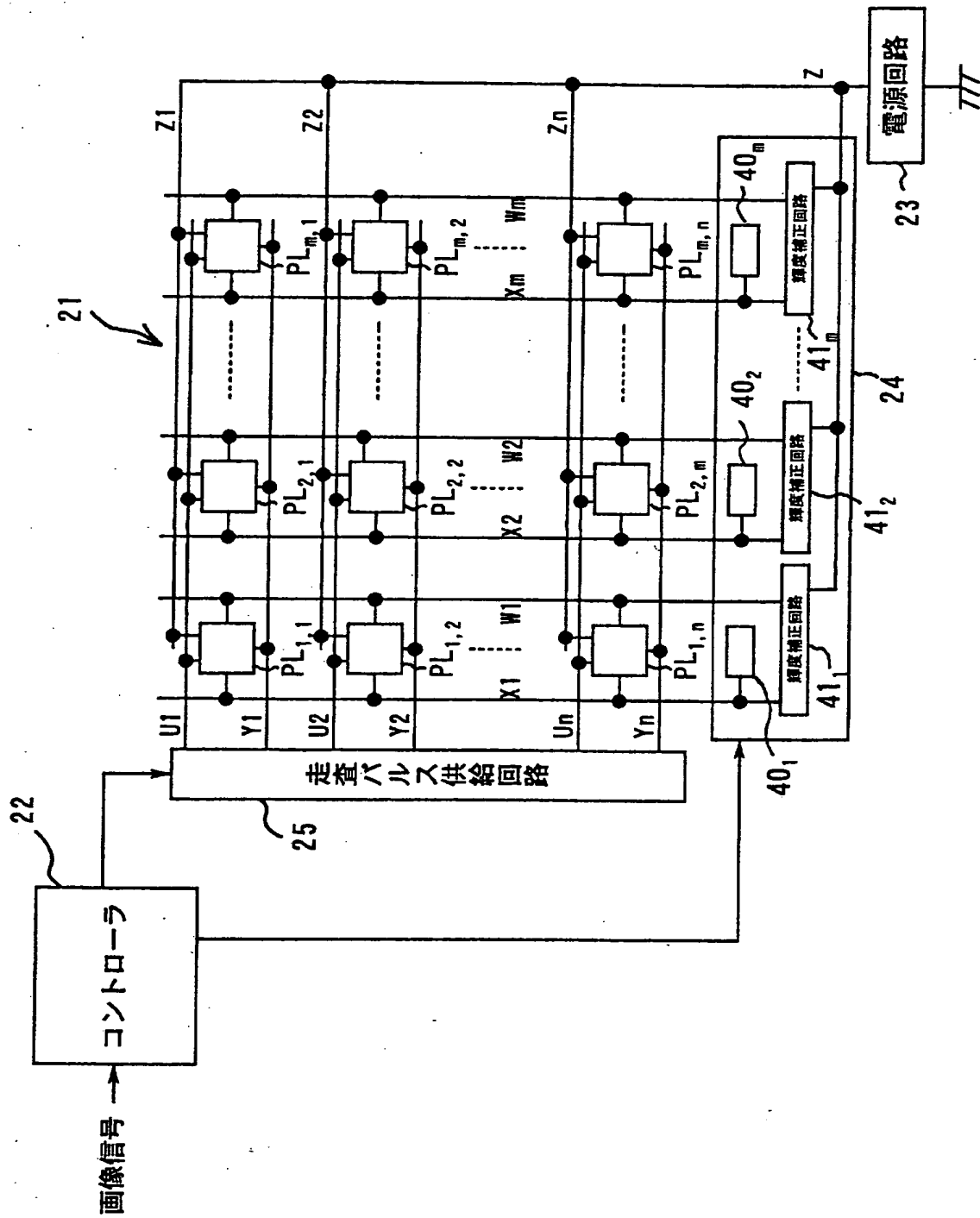
【図 4】



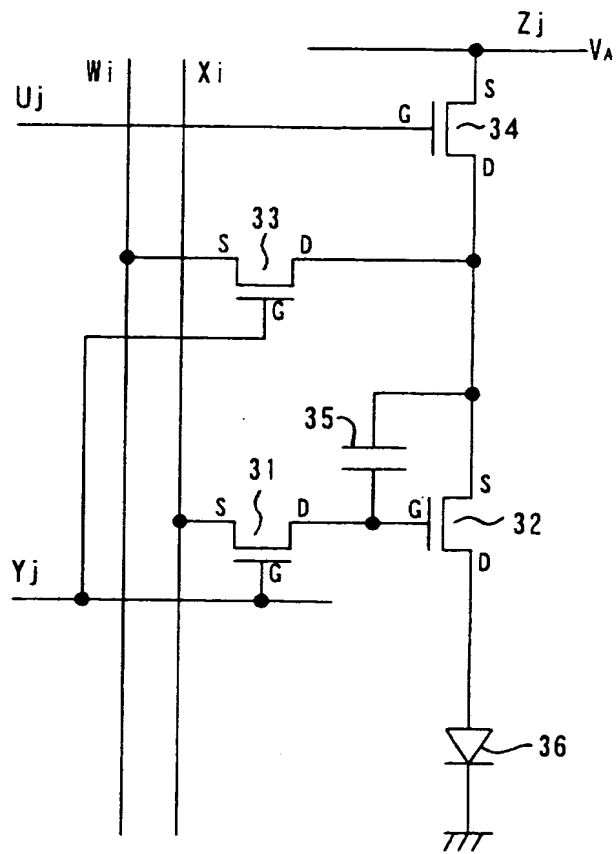
【図 5】



【图 6】

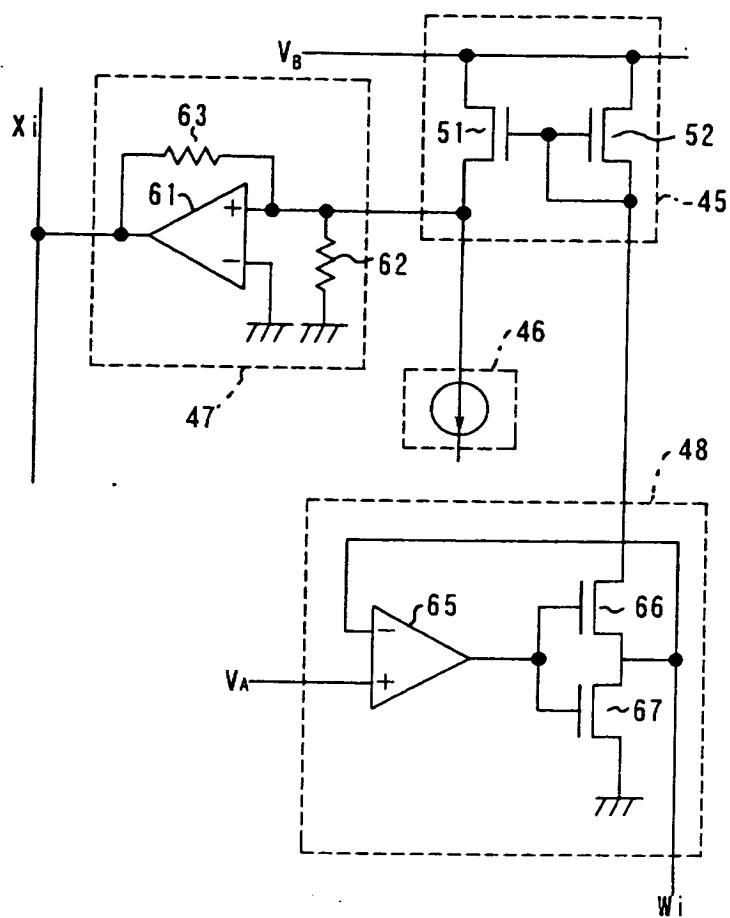


【図 7】

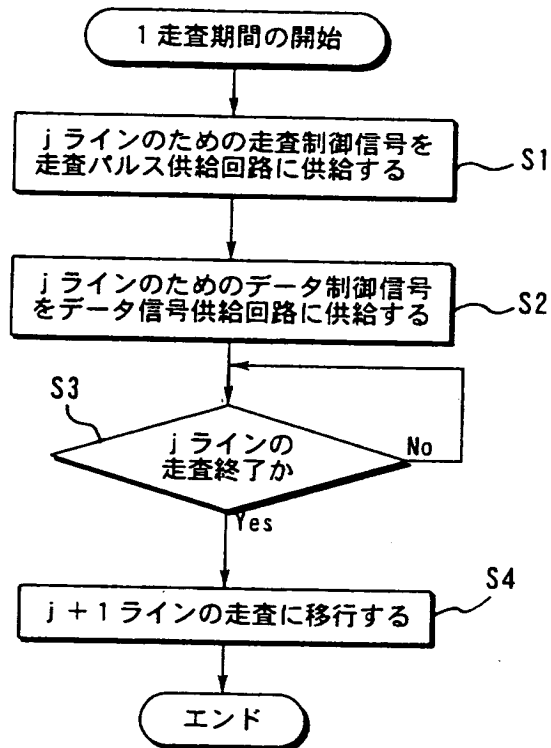




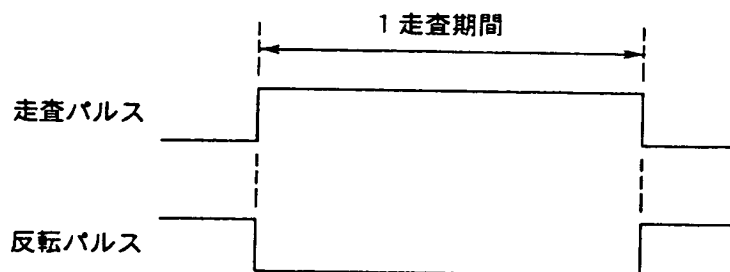
【図 8】



【図 9】



【図 1 0】



【書類名】 要約書

【要約】

【課題】 長時間使用時においても正しい階調表示を行うことができる有機エレクトロルミネセンス素子等の発光素子を配置したアクティブ駆動型の表示パネル、その表示パネルを用いた表示装置及びその表示パネルの駆動方法を提供する。

【解決手段】 表示パネルの画素部各々が、データ信号を保持する保持手段と、保持手段に保持されたデータ信号に応じて駆動素子を活性化させてデータ信号に対応した量の駆動電流を発光素子に供給させる画素制御手段とを有し、表示制御手段が、走査期間内において駆動電流を検出する駆動電流検出手段と、走査期間内において駆動電流検出手段によって検出された駆動電流がデータ信号が示す発光輝度に対応した電流に等しくなるように保持手段に保持されたデータ信号を補正するデータ補正手段とを有している。

【選択図】 図 6

出 願 人 履 歴 情 報

識別番号 [000005016]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住 所 東京都目黒区目黒1丁目4番1号  
氏 名 パイオニア株式会社